

Лекция 12. Тестовые структуры и методы тестирования ИМС в составе электронных изделий

Использование тестовых структур при оценке качества и надежности полупроводниковых приборов и ИМС

При операционном контроле технологического процесса изготовления изделий микроэлектроники широкое применение нашли тестовые схемы, состоящие из тестовых структур.

Тестовая структура представляет собой совокупность определенным образом спроектированных и соединенных элементов (резисторов, конденсаторов, транзисторов, проводников и т.д.), изготавливаемых совместно с реальными изделиями по анализируемому технологическому процессу и предназначенных для определения погрешностей формирования геометрических размеров и физических характеристик, а также характеристик дефектности физической структуры реального изделия.

Тестовая схема (ТС) представляет собой совокупность тестовых структур, число которых обеспечивает получение параметров распределений погрешностей формирования геометрических размеров, физических характеристик, характеристик привносимой дефектности с заданной точностью при определенной доверительной вероятности, а набор элементов адекватно отражает физическую структуру реального изделия, изготавливаемого по анализируемому технологическому процессу.

Статистические методы операционного контроля технологического процесса обеспечивают получение таких параметров процесса, как точность и стабильность, для оценки которых требуется статистически значимая информация. Поэтому методы, обеспечивающие получение такой информации, должны характеризоваться высокой производительностью измерения и обработки результатов. Этим требованиям отвечает метод статистического анализа технологического процесса, основанный на применении тестовых схем. ТС состоит из совокупности элементов, не входящих в состав рабочих элементов изделия и предназначенных для получения информации, обеспечивающей расчет характеристик качества технологического процесса или критерия годности реального изделия, расположенного на той же подложке. Таким образом, специальная конструкция и определенная комбинация элементов, составляющих ТС, позволяют использовать ее в качестве инструмента получения нужной информации. Широкое применение ТС как источника информации о качестве изготовления изделий микроэлектроники обусловлено групповым характером обработки изделий на большинстве операций технологического процесса. Вследствие этого сильно коррелирована погрешность геометрических размеров на элементах ТС и элементах реальной схемы, изготовленных в одном цикле (в партии на подложке или в групповой партии). Высокая коррелированность погрешностей формирования геометрических размеров и дефектности при одновременном изготовлении тестовых схем и реальных изделий позволила использовать тестовые схемы для получения информации о свойствах технологического процесса и одновременно о качестве изготавливаемых изделий. Так как тестовая схема проектируется специально для получения такой информации и имеет унифицированную для данного конструкторско-технологического варианта конструкцию, то процесс измерения и обработки результатов измерений производят с применением автоматизированных систем.

При проектировании ТС для анализа технологического процесса осуществляют:

- определение содержания и формы представления получаемой информации;
- выбор метода измерения параметров элементов ТС, измерительного оборудования и режима измерения;
- определение номенклатуры тестовых элементов;
- разработку конструкции каждого тестового элемента;
- определение числа однотипных элементов в ТС;

- выбор способа размещения и соединения элементов, геометрии и мест расположения контактных площадок.

При проектировании тестовых схем необходимо учитывать, что выходной информацией, получаемой как результат измерения и математической обработки результатов измерения, является совокупность статистических данных: моменты распределений параметров физической структуры, функциональных элементов, характеристик дефектности. Так как контроль технологического процесса с использованием тестовых схем возможен только с применением автоматизированных систем измерения, то предпочтение отдается конструкциям тестовых элементов, характеризующихся электрически измеряемыми параметрами, по которым расчетным путем и должна быть получена необходимая выходная информация. Основными требованиями, предъявляемыми к измерительному оборудованию, являются возможность измерения электрических параметров тестовых элементов в автоматическом режиме и наличие в своем составе ЭВМ, не только управляющую процессом измерения, но и проводящую обработку измеренных результатов по специально разработанным программам.

Функциональная сложность ИМС и малые размеры их элементов затрудняют, а в ряде случаев делают невозможным изучение механизмов отказов и вызывающих эти отказы дефектов непосредственно на кристалле интегральной микросхемы. По мере роста степени интеграции эти трудности становятся непреодолимыми. Кроме этого, существуют определенные требования к методам и аппаратуре на их основе, позволяющие контролировать не только определенные физические и технологические параметры изготавливаемых полупроводниковых приборов и ИМС, но также и контролировать сам технологический процесс. Поэтому одним из видов контроля качества на этапах проектирования и изготовления ИМС является тестовый контроль, позволяющий обосновывать применимость выбранного технологического процесса для производства проектируемой ИМС с дальнейшим контролем физических параметров изделия в процессе производства. Так при контроле толщины и скорости нанесения пленок основными требованиями являются (эти требования существенны и при других технологических процессах):

1. Малая погрешность измерений – нескольких процентов от измеряемой величины, а в некоторых случаях не более 1%.
2. Высокая надежность, стабильность во времени и независимость от условий изготовления и измерения: температуры, давления, воздействия окружающей среды и т.д.
3. Высокая чувствительность и ее постоянство в широком диапазоне измеряемых величин.

Существуют различные методы оценки качества и надежности ИМС высокой степени интеграции. Одним из них является физический (причинный) метод. Сущность этого метода состоит в глубоком изучении физических закономерностей, приводящих к отказам элементов ИМС. Поэтому, для диагностики отказов, анализа причин брака и исследования процессов деградации параметров микросхем, широко используются тестовые структуры (ТС) – специально сконструированные отдельные элементы ИМС, параметры которых позволяют судить о качестве выполнения того или иного технологического процесса и, в совокупности, о годности всей микросхемы и качестве ее конструкции и надежности. Данный метод позволяет идентифицировать отказы основных элементов микросхемы под воздействием приложенной нагрузки.

Тестовая структура представляет собой специальным образом спроектированный кристалл, который включает в себя различные тестовые элементы, не объединенные в рабочую схему и позволяющие контролировать параметры физической структуры микросхемы при различных значениях воздействующих факторов при ее изготовлении. В ряде случаев ТС выполняются в виде специализированных микросхем.

На тестовых модулях, предназначенных для контроля качества:

1. Проводят контроль точности совмещения фотошаблонов при проведении фотолитографических процессов.

2. Исследуют влияние механических напряжений на элементы ИМС.
3. Проверяют целостность и качество выполнения металлической и поликремниевой разводки и контактов.
4. Определяют величину и распределение заряда в окисле.
5. Определяют сопротивление изоляции и т.д.

На биполярных тестовых кристаллах, например, измеряют до тридцати различных параметров, начиная от толщины окисла, контактных сопротивлений и кончая параметрами диффузионных и имплантированных областей.

К конструкции ТС предъявляют ряд требований, основными из которых являются:

1. Один порядок степени интеграции и плотности упаковки ТС и изготавливаемого изделия.
2. Идентичность технологических процессов изготовления ТС и основного изделия.
3. Возможность простого и быстрого (с применением автоматизированных систем) контроля физических и технологических параметров каждого элемента ТС.

В общем случае конструирование ТС означает выбор номенклатуры и количества информативных элементов (тестовых ячеек), позволяющих по результатам измерений на них (в основном электрическими методами) получать сведения о параметрах всех видов изделий, необходимых для изготовления ИМС.

В качестве примера на рис. 1 показана крестообразная ТС, применяемая для контроля правильности процесса формирования легированных слоев. На рисунке жирной линией обозначен профиль легированного слоя, свойства которого исследуют с помощью металлизированных токовых (I_1, I_2) и потенциальных (U_1, U_2) контактных площадок, соединенных с легированным слоем через контактные окна в поверхностной окисной пленке (заштрихованные участки на рис. 1).

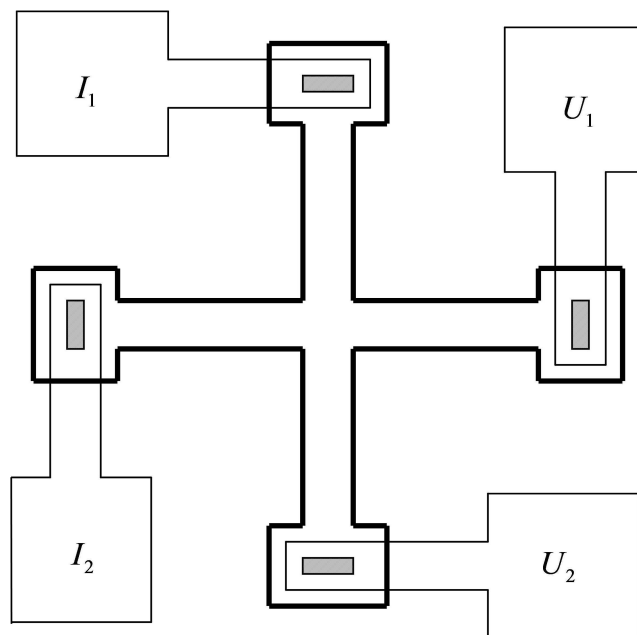


Рис. 1: Крестообразная тестовая структура

О качестве легированного слоя судят по уровню поверхностного сопротивления, определяемого из выражения

$$R_{\rho} = \frac{\pi}{\ln 2} \frac{U}{I}$$

где I - ток, протекающий через токовые контакты; U - падение напряжения, измеряемое с помощью потенциальных контактов.

Достоинством крестообразных структур является простота изготовления, нечувствительность результатов измерений к изменению размеров фотошаблонов и уходу размеров структуры при фотолитографии.

Другим примером ТС может служить трехдорожечная структура (рис. 2), применяемая для оценки качества межэлементных соединений. Она выполнена с возможно минимальной шириной дорожек и разной их длиной. На данном рисунке 1 – токоведущая дорожка, 2 – контактная площадка. Для оценки качества и надежности пересечений элементов коммутации служит ТС (рис. 3), содержащая около 3000 пересечений. Обозначения в схеме аналогичны обозначениям рис. 2.

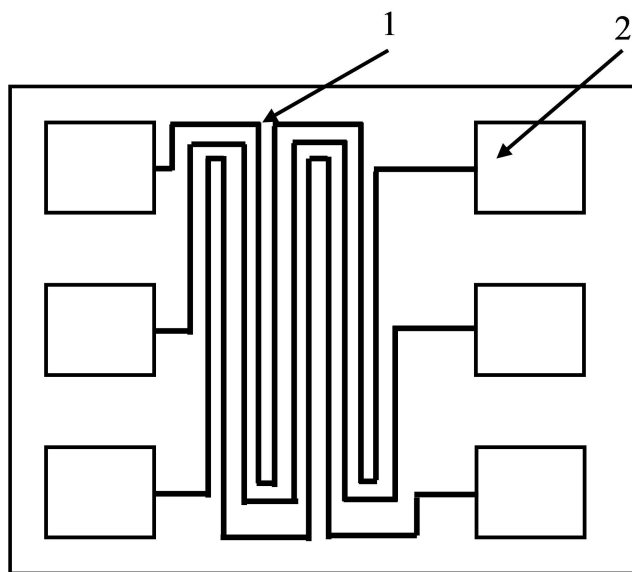


Рис. 2: Трехдорожечная тестовая структура

Информация, полученная с помощью ТС, может быть использована для построения автоматизированных систем управления (АСУ) качеством ИМС. Основой таких АСУ являются данные о качестве тестовых структур контрольных партий пластин, изготовленных из одного слитка. На основе этих данных строят карты распределения годных и бракованных ТС по одной или нескольким пластинам, а также по площади пластины и по объему монокристалла (слитка).

Особенно широкое применение тестовые структуры нашли для изучения механизмов отказов приборов и прогнозирования их надежности. Тестовые структуры изготавливаются в виде отдельных конструктивных элементов, герметизируются в стандартные корпуса и испытываются в различных условиях. При проведении этих испытаний определяются механизмы отказов, энергии активации процессов деградации отдельных конструктивных элементов и количественные характеристики надежности тестовых структур. На основе этих данных строятся модели надежности ИМС. С помощью тестовых структур, в частности, исследуются такие механизмы отказов как электромиграция, коррозия, разогрев носителей заряда в МОП-ПТ и т.д. Для каждой базовой технологии целесообразно иметь специальный набор тестовых структур, позволяющий исследовать влияние всех существенных механизмов отказа.

В перечень тестовых элементов ТС могут включаться как элементы специальной конфигурации, предназначенные лишь для оценки параметров физической структуры и их стабильности при воздействии различных нагрузок, так и реальные элементы, используемые в микросхемах. Указанные

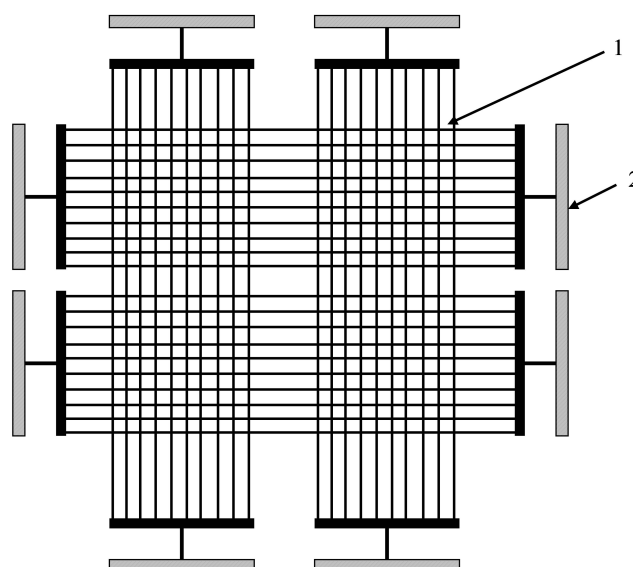


Рис. 3: Тестовая структура для оценки качества и надежности пересечений элементов коммутации

элементы могут быть выполнены в единичных количествах или в виде регулярных структур (цепей, блоков), насчитывающих большое количество (сотни, тысячи) однотипных элементов в одной тестовой структуре. Это необходимо для прогнозирования количественных показателей надежности основных элементов входящих в микросхему.

Тестовые структуры могут размещаться на пластине среди кристаллов рабочих микросхем (так называемые тестовые ячейки) или на отдельных пластинах, проходящих технологический цикл одновременно с рабочими пластинами. При контроле могут быть использованы также специальные тестовые элементы, “не задействованные” в рабочей микросхеме, либо доступные для измерения рабочие участки цепи или элементы микросхемы. Одним из возможных вариантов тестовых структур, используемых для контроля параметров физической структуры, в том числе и методами разрушающего контроля, являются пластины-“спутники” (“свидетели”), проходящие контролируемые операции параллельно с рабочими пластинами. Следует особо подчеркнуть, что необходимым условием достоверности контроля на базе использования особых видов структур (ячеек, элементов, “спутников”) является их изготовление в едином технологическом цикле с основными (рабочими) кристаллами микросхем.

Основные тестовые стратегии

Сегодня существует огромный выбор как самих стратегий, так и оборудования для их реализации. Каждая из стратегий имеет свои достоинства, но обладает и определенными недостатками. Можно сказать, что, применив лишь одно из направлений, нельзя получить полное тестовое покрытие и стопроцентно выявить дефекты на электронном модуле. Комбинация тестовых решений даст более ощутимый результат.

Для более полного понимания такого подхода к тестированию и возможности комбинировать основные тестовые стратегии с технологией периферийного сканирования рассмотрим каждое из направлений в отдельности, перечислив их основные достоинства и недостатки.

Оптическое тестирование (AOI)

Проверка качества сборки методами машинного зрения.

Плюсы:

- Универсальность.

- Быстрое освоение новых изделий.
- Широкое тестовое покрытие.
- Высокая разрешающая способность.

Минусы:

- Основной недостаток — локализация только визуальных дефектов. Определение «невидимых» дефектов невозможно (например, под BGA микросхемами).
- Электрическое тестирование компонентов и цепей отсутствует.
- Теневые эффекты, блики, зависимость от освещения.

Функциональное тестирование (FT)

Представляет собой сборку, подачу питания и проверку работоспособности изделия.

Плюсы:

- Высокая достоверность: только при функциональном тестировании можно с уверенностью сказать, работает электронный модуль или нет.
- Относительно невысокая стоимость освоения новых изделий: так как тестирование осуществляется через краевой разъем, не требуется значительных затрат на изготовление адаптеров для подключения.

Минусы:

- Для разработки тестовой программы на один печатный модуль может потребоваться от недели до нескольких месяцев. Срок разработки программы будет определяться сложностью проверяемой печатной платы, в общем случае может потребоваться труд двух человек: специалиста в области электроники (для разработки алгоритма тестирования) и программиста (для непосредственного написания тестовой программы).
- Высокие затраты на ремонт дефектного модуля. В связи с тем, что FT обеспечивает проверку модуля через краевой разъем, данный метод не предоставляет достаточно полной информации о месте нахождения дефекта, и его локализация обычно требует от обслуживающего персонала высокой квалификации, знаний в области электроники, а также опыта. Среднее время на локализацию дефекта может составлять от 30 минут до нескольких часов, в зависимости от сложности платы и типа дефекта.
- Неполное тестовое покрытие, часть скрытых дефектов не определяется. Здесь мы говорим о тех дефектах, которые не влияют на характеристики проверяемого изделия при функциональном тестировании, однако могут сказаться при эксплуатации. К примеру, отсутствие параллельно включенного обмоткам реле диода от ЭДС самоиндукции никак не скажется на работоспособности печатной платы, однако впоследствии может привести к подгоранию контактов реле и выходу его из строя.

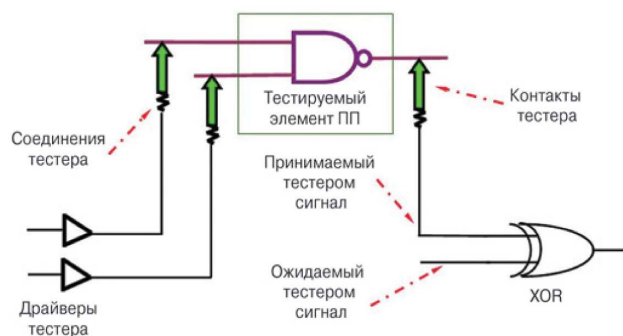


Рис. 4: Конфигурация внутрисхемного тестера (ICT) с полным доступом ко всем внутренним линиям схемы

Внутрисхемное тестирование (ICT)

Непосредственной предшественницей технологии граничного сканирования (ГС), обладавшей к тому же практической монополией в тестировании цифровых схем с конца семидесятых и, в сущности, до конца прошлого столетия, является технология внутрисхемного тестирования (InCircuit Testing, ICT), с успехом применяемая до настоящего времени, хотя и со значительными ограничениями. Принцип работы внутрисхемного тестера показан на рисунке 4.

Тестируемый элемент может быть припаян к печатной плате (ПП) и соединен с другими элементами схемы. Доступ тестера ко внутренним линиям ПП осуществляется при помощи контактных иголок, прижимаемых адаптером тестера к поверхности ПП. Поскольку на протяжении семидесятых — восьмидесятых годов при производстве ИС доминировали корпуса DIP, любой вывод ИС был доступен для иголки внутрисхемного тестера с нижней (а иногда и с верхней) стороны ПП, так что проблемы внутрисхемного доступа практически не существовало.

С началом широкого распространения технологии поверхностного монтажа и миниатюризации ИС элементы стали монтироваться на ПП без сквозных отверстий и с обеих сторон ПП. При этом сразу же возникла проблема размещения контактных площадок для иголок внутрисхемного тестера и необходимости уменьшения их диаметра в условиях высокой плотности монтажа элементов с обеих сторон ПП. Вдобавок к этому, в многослойных ПП значительное число линий схемы оставалось во внутренних слоях, так что вывод их на поверхность для подключения к контактным площадкам значительно усложнял разводку ПП. Печатные платы с большим количеством переходных отверстий стали превращаться в некое подобие голландского сыра, что не могло не сказаться на их механической устойчивости хотя бы при прижатии к внутрисхемному тестеру на время тестирования. Это обусловило неуклонное сокращение доступа к внутренним линиям схемы со стороны внутрисхемного тестера, что немедленно сказалось на полноте тестовых покрытий и, разумеется, значительно ухудшило контроль качества сборки ПП.

Следует отметить, что особенностью тестеров ICT является необходимость применения специального адаптера, обеспечивающего согласование фиксированного местоположения тестовых иголок собственно тестера с местоположением контактных площадок на поверхности тестируемой ПП. Понятно, что даже небольшое изменение в размещении элементов на поверхности ПП влечет за собой необходимость в переделке адаптера, представляющего собой весьма недешевое устройство (тысячи долларов для ПП средней сложности). Применение внутрисхемного тестирования на этапе отладки схем и их мелкосерийного производства с частой сменяемостью версий сборки стало при этом чрезмерно дорогостоящим, не говоря уже о существенном усовершенствовании (и, как следствие, — удорожании) самих внутрисхемных тестеров.

Лавинообразное повышение плотности монтажа элементов и появление ИС с крайне высокой плотностью выводов и в весьма экзотических корпусах привело, в частности, к значительному увеличению стоимости внутрисхемного тестирования при одновременном снижении его эффективности.

Таким образом, к концу восьмидесятых годов стало ясно, что внутрисхемное тестирование ПП, в частности цифровых, не вполне сочетается с продолжающейся тенденцией к микро-миниатюризации в электронике, что и явилось стимулом для поиска новых решений.

Плюсы:

- Высокая производительность, время тестирования занимает несколько минут.
- Высокая функциональная достоверность: модуль, прошедший внутрисхемный контроль, примерно с 95%-ной вероятностью будет рабочим.
- Высокая разрешающая способность: в связи с тем, что доступ осуществляется практически к каждому компоненту, можно с большой долей вероятности локализовать дефект.

Минусы:

- Высокие затраты на освоение новых изделий: связаны с изготовлением уникального для каждого проверяемого модуля адаптера. Стоимость тем выше, чем сложнее адаптер.
- Хранение и обслуживание тестовых адаптеров требует дополнительных расходов.
- В некоторых случаях доступ к тестовым точкам с помощью игольчатых пробников невозможен. Пример – микросхемы с типом корпуса BGA.

«Летающие» пробники

При электрическом тестировании электронных изделий на стадии производства долгое время применялись системы с тестовыми адаптерами типа «поле контактов» (bed-of-nails). Такой метод обеспечивает одновременный доступ ко всем цепям тестируемого изделия и, соответственно, высокую производительность контроля. Никто не оспаривает необходимости адаптерного тестирования в случае серийного производства продукции или выпуска электроники ответственного назначения. Однако серьезным недостатком, ограничивающим применение такой технологии, является необходимость изготовления тестовых адаптеров для каждого изделия, что приводит к дополнительным финансовым затратам и потере времени при освоении новых изделий. Для предприятий с мелко-серийным многономенклатурным производством, каковыми является большинство предприятий в России, применение такой технологии вообще невозможно. Отметим, что использование адаптеров предъявляет к проверяемым платам ряд повышенных требований по тестопригодности (наличие и размер тестовых площадок или переходных отверстий), которые часто просто невозможно выполнить на современных платах с высокой плотностью монтажа. Кроме того, просматриваемая в последнее время тенденция производства все более сложных электронных изделий приводит к росту входов/выходов и повышению плотности монтажа. В таких электронных изделиях широко используются гибридные микросхемы, BGA, ?BGA, Flip Chip, CSP, ASIC, компоненты поверхностного монтажа (SMD), планарные трансформаторы и т. д. Понятно, что при всем этом требуется и высокая надежность изделий, которая ужесточается в случае производства электронной продукции оборонного назначения, выпускаемая небольшими сериями при огромном количестве модификаций. Можно также добавить, что очень часто требуется выпускать изделия в самые сжатые сроки, имея крайне ограниченное время на их тестирование и контроль. Именно в таких случаях на помощь приходят тестеры электрического контроля с подвижными или «летающими» пробниками (Flying Probe Tester = FPT).

Плюсы:

- Универсальность.
- Низкие требования к тестопригодности плат.
- Ускоренное освоение новых изделий.

- Отсутствие затрат на изготовление тестовых адаптеров.
- Возможность использования в опытном, мелкосерийном, многономенклатурном производствах.

Минусы:

- Относительно длительный процесс тестирования вследствие того, что опрос тестовых точек осуществляется последовательно, «один за другим».
- Дополнительные затраты на обслуживание «летающих» пробников, а также подвижных частей и механизмов.

Периферийное сканирование(Граничное сканирование, Boundary Scan)

Предпосылки к появлению метода

Согласно требованиям системы менеджмента качества ISO 9001-2000 производство электронных изделий предполагает всесторонний контроль для решения задачи выпуска конкурентоспособной продукции. Инструментом, позволяющим провести мониторинг техпроцесса и исключить вероятность выхода неисправного изделия, является автоматизированное тестовое оборудование (ATE).

Один из самых важных моментов при тестировании — обеспечение доступа к проверяемому изделию и напрямую связанное с ним значение тестового покрытия. Если при функциональном тестировании, которое развивалось одновременно со становлением самой электронной промышленности, доступ осуществлялся через краевой разъем, то в 1970-х годах, когда началась эра внутрисхемного тестирования, для контакта с проверяемым изделием стали использоваться игольчатые пробники. Таким образом, с помощью адаптеров типа «поле контактов» при внутрисхемном контроле можно было получить доступ практически к любой точке на печатной плате.

Электронная промышленность не стоит на месте, и с появлением новых типов корпусов контакты микросхем располагаются все ближе и ближе друг к другу, так что физический доступ к ним сильно затруднен, а иногда (например, для типов корпусов BGA) вообще невозможен. В этом случае классические методы обеспечения доступа к проверяемому изделию становятся неэффективными, и, соответственно, увеличиваются затраты на тестирование. Рис. 5 иллюстрирует снижение тестового доступа при классическом внутрисхемном методе тестирования.

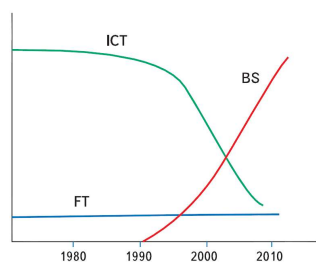


Рис. 5: Тестовый доступ при различных видах тестирования: FT — функциональное тестирование; ICT — внутрисхемное тестирование; BS — периферийное сканирование

Технология периферийного сканирования (Boundary Scan) как решение проблемы доступа к тестовым точкам была впервые предложена в 1985 году, а в 1990-м оформлена в промышленный стандарт IEEE-1149.1. Основная идея этой технологии заключается в замене внешнего физического контакта с помощью игольчатого пробника (тестового пина) на «электронные» контакты, представляющие собой сканирующие ячейки, внедренные между внутренней логикой и выходным контактом микросхемы. Соединенные последовательно, они формируют регистр периферийного сканирования, управление которым осуществляется с помощью лишь четырех внешних линий. Таким образом,

обеспечивается доступ к любому выводу микросхемы, поддерживающей данный стандарт, причем без физического контакта с самой микросхемой. В свою очередь, это предоставляет широкие возможности для тестирования модуля и позволяет локализовывать такие дефекты, как непропаи, короткие замыкания, отсутствующие компоненты.

Краткое описание метода

Каждое из устройств, поддерживающих стандарт IEEE-1149.1, должно включать четыре тестовые сигнальные линии:

- TCK (Test Clock) — тестовая частота;
- TMS (Test Mode Select) — вход для сигнала выбора режима доступа к устройству;
- TDI (Test Data In) — вход для тестовой последовательности;
- TDO (Test Data Out) — выход тестовой последовательности.

На рис. 6 изображено устройство, выполненное с поддержкой технологии Boundary Scan. Для управления состоянием регистров и загрузки в них данных используется встроенный интерфейс, представляющий собой конечный автомат с 16-ю состояниями, также называемый TAP (Test Access Port). Устройство может поддерживать сигнал /TRST, который осуществляет переход TAP в исходное состояние, однако этот сигнал не является обязательным и не регламентируется стандартом IEEE-1149.1.

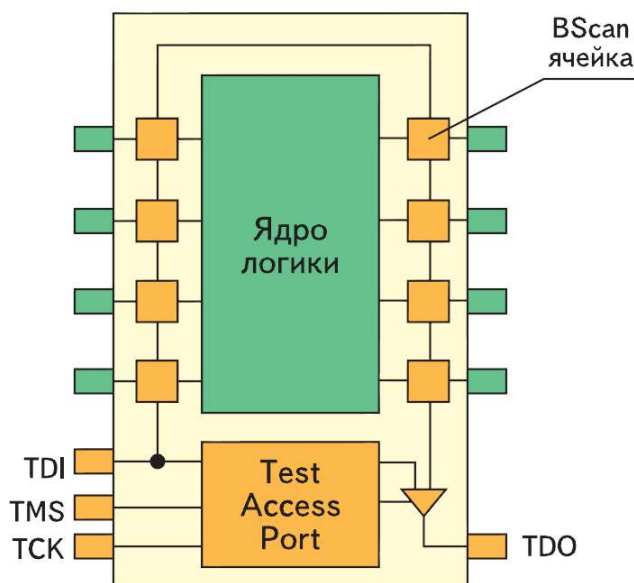


Рис. 6: Устройство с поддержкой технологии Boundary Scan

Микросхемы с поддержкой Boundary Scan при построении схемы могут быть объединены (в большинстве случаев так и происходит) в одну цепочку. При этом выход одной микросхемы (TDO) подключается к входу другой (TDI) и так далее. Сигналы TCK и TMS подаются параллельно на все микросхемы цепочки.

Сферы применения

Зачастую не все микросхемы, установленные на плате, имеют поддержку Boundary Scan, однако если даже хотя бы одно устройство удовлетворяет требованиям стандарта, периферийное сканирование может быть применено для решения некоторых задач на всех этапах жизненного цикла изделия — от разработки до эксплуатации готовой продукции. Выделим основные сферы применения технологии.

На этапе разработки периферийное сканирование может пригодиться разработчикам для верификации схемы, прошивки микропроцессоров, а также для исследования работы схемы.

На этапе сборки изделия периферийное сканирование применяется для внутрисхемного программирования микросхем ПЛИС и Flash-микросхем памяти, то есть микросхемы могут быть запрограммированы непосредственно в составе печатной платы. Если ПЛИС программируется напрямую через JTAG-порт, программирование Flash-памяти осуществляется путем подачи на ее выходы последовательности слов, с установкой режима, соответствующего записи данных в микросхему. Хотя микросхемы Flash-памяти не поддерживают стандарт IEEE-1149.1, это становится возможным из-за того, что обычно Flash-память всеми своими выводами подключена к устройствам, поддерживающим JTAG-стандарт (микропроцессоры, ПЛИС). Помимо записи данных с помощью периферийного сканирования проводится верификация записанной информации, проверка ID-кода микросхем и т.д.

Задача тестирования с помощью данной технологии может быть решена и достаточно просто. Управляя работой JTAG-микросхем, можно проверить правильность построения цепочки (инфраструктуру, правильность установки JTAG-компонентов), протестировать обвязку микросхем, проверить прохождение сигналов между двумя микросхемами. Можно легко протестировать простую логику в том случае, если есть возможность управления этой логикой с помощью BScan-сигналов.

По аналогии с программированием Flash-памяти строится тестирование RAM-памяти. В микросхему памяти записываются данные с последующим контролем. При этом обеспечивается высокая степень локализации дефекта, будь то короткое замыкание по адресным линиям, линиям данных или неисправность самой микросхемы.

Комбинация тестовых решений

Аналоговые цепи, проверка которых при помощи Boundary Scan тестов невозможна, легко тестируются на системах внутрисхемного контроля. Однако при внутрисхемном тестировании доступ к некоторым элементам сильно затруднен.

Комбинация внутрисхемного теста с периферийным сканированием увеличит процент тестового покрытия и исключит некоторые недостатки той или иной технологии. К тому же применение Boundary Scan позволит обойтись без использования части подпружиненных пинов и, соответственно, уменьшить стоимость тестового адаптера.

К примеру, на печатной плате имеется около 1200 тестовых точек и выводов компонентов, а также 200 цепей. Кроме того, на печатной плате есть три микросхемы, поддерживающие стандарт Boundary Scan, каждая из которых способна управлять 18-ю цепями на плате, то есть методом периферийного сканирования может быть протестировано $18 \times 3 = 54$ цепи или 27% от общего количества цепей на печатной плате. Таким образом, уменьшая количество пробников, можно достичь почти трехкратной экономии.